

# 基于开源工具的RV64验证

倪晓强

国防科技大学计算机学院

# 主要内容

---

- DMR处理器核特性
- 验证环境和验证工作
- 当前开源工具及主要问题
- 我们的工作
- 小结



# DMR —— 面向通用处理器的RV64核心

---

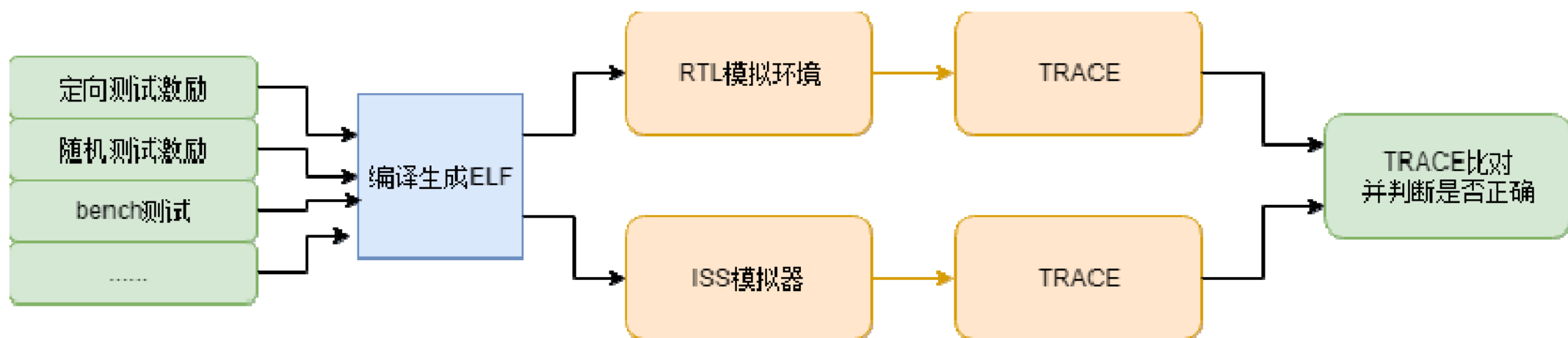
- 设计目标

- 兼容RV64G规范的处理器内核（内部代号DMR）
- 乱序超标量结构（4发射，12级流水）
- 支持RISC-V M/S/U态；
- 支持Sv39/Sv48，物理地址44位
- 预期SPEC2006分数不低于15分



## 验证环境

---



# 验证的主要工作

---

- 面向通用处理器核的验证工作，需要进行：
  - 指令功能定向测试
  - 指令ISA符合性测试riscv-compliance
  - 指令随机测试
  - 小程序测试（BENCH）
  - 操作系统（Linux）
  - SPEC2006等大型软件测试
  - 覆盖率统计



# 当前开源工具

---

- 指令集模拟器
  - spike
  - riscvOVPsim
  - Whisper
  - dromajo
  - .....



## 当前开源工具

---

- 指令功能测试
  - riscv-tests
  - riscv-compliance
  - riscv-torture
- 随机指令测试
  - riscv-dv
  - microTESK
- 功能覆盖率统计
  - riscv-dv



## 开源工具的主要问题

---

- 指令功能测试的完备性
- 指令模拟器的问题
- 开源工具之间的兼容性





# 指令功能测试的完备性

---

- 测试激励不够完备
  - 无法覆盖全寄存器访问
  - 无法覆盖特殊源数据
  - 无法覆盖特殊结果数据
  - 无法覆盖典型立即数（包括无符号立即数和符号扩展）
  - .....
- 无法覆盖微架构特征
  - 流水线特性
  - Cache和存储特性
  - 分支预测器
  - .....



## 指令集模拟器功能缺失或错误

---

- riscvOVPsim某些情况下无法报告异常原因（mcause）

```
Info 84: 'riscvOVPsim/cpu', 0x0000000000007da8(main+88): Machine 2c858513 addi    a0,a1,712
Info   a0 0000000000000000 -> 000000000000e2c8
Info 85: 'riscvOVPsim/cpu', 0x0000000000007dac(main+8c): Machine 2e2040ef jal    ra,c08e
Info   mstatus 0000000a00000000 -> 0000000a00001800
Info   mepc 0000000000000000 -> 0000000000007dac
Info   mtval 0000000000000000 -> 000000000000c08e
Info 86: 'riscvOVPsim/cpu', 0x00000000000000dc(__trap_handler): Machine 0340006f j      110
Info 87: 'riscvOVPsim/cpu', 0x0000000000000110(__synchronous_exception): Machine fed12e23 sw    a3,-4(sp)
Info 88: 'riscvOVPsim/cpu', 0x0000000000000114(__synchronous_exception+4): Machine fee12c23 sw    a4,-8(sp)
Info 89: 'riscvOVPsim/cpu', 0x0000000000000118(__synchronous_exception+8): Machine fef12a23 sw    a5,-12(sp)
Info 90: 'riscvOVPsim/cpu', 0x000000000000011c(__synchronous_exception+c): Machine 34202773 csrr  a4,mcause
```

---

- riscvOVPsim PMP寄存器访问64位高位



## 指令集模拟器行为不一致

---

- mret后，mstatus寄存器的处理不一致
- fsgn 类型指令subnormal数据的处理不一致



## 开源工具之间的兼容性

---

- spike指令模拟器和dv存储空间分配不一致
  - 随机激励会访问低地址空间，造成spike报告异常
  - rom和设备空间不一致
- htif和signature机制兼容性问题

```
gen_signature_handshake(.instr(instr_string_queue),  
                        .signature_type(CORE_STATUS),  
                        .core_status(IN_MACHINE_MODE));
```

---

```
FROMHOST_DEV(fromhost_value) ((uint64_t)(fromhost_value) >> 56)  
FROMHOST_CMD(fromhost_value) ((uint64_t)(fromhost_value) << 8 >> 56)  
FROMHOST_DATA(fromhost_value) ((uint64_t)(fromhost_value) << 16 >> 16)  
define TOHOST_CMD(dev, cmd, payload) \  
(((uint64_t)(dev) << 56) | ((uint64_t)(cmd) << 48) | (uint64_t)(payload))
```



## 当前的工作

---

- 使用了当前主要的RISC-V开源工具
  - 增补了约1600个RISCV-64指令定向测试，主要包括
    - 基本指令功能
    - CSR相关
    - MMU相关
  - 修补并增强riscv-dv, spike等功能
    - dv浮点测试集合
    - dv RV64测试激励生成错误
    - hint类型测试激励只支持C类指令
  - 完成了DMR处理器核的基本功能测试
    - 完成模块级功能验证
    - 完成基本指令功能验证
    - 完成软模拟引导Linux OS
- 
- ▶ ● 完成FPGA系统原型构建并调试中

# 总结

---

- 使用开源工具能够完成大部分验证工作
  - 仍然需要投入大量的资源完善测试激励
  - 需要统一存储模型和主机接口
- 预计将与2020Q4开源内部RV64G指令功能测试集
  - 帮助开源社区完善RV64测试集合



---

谢谢！ 问题？

---

