DMR：一款兼容RISC-V架构的乱序超标量通用处理器核

国防科技大学计算机学院 孙彩霞

DMR的体系结构特征

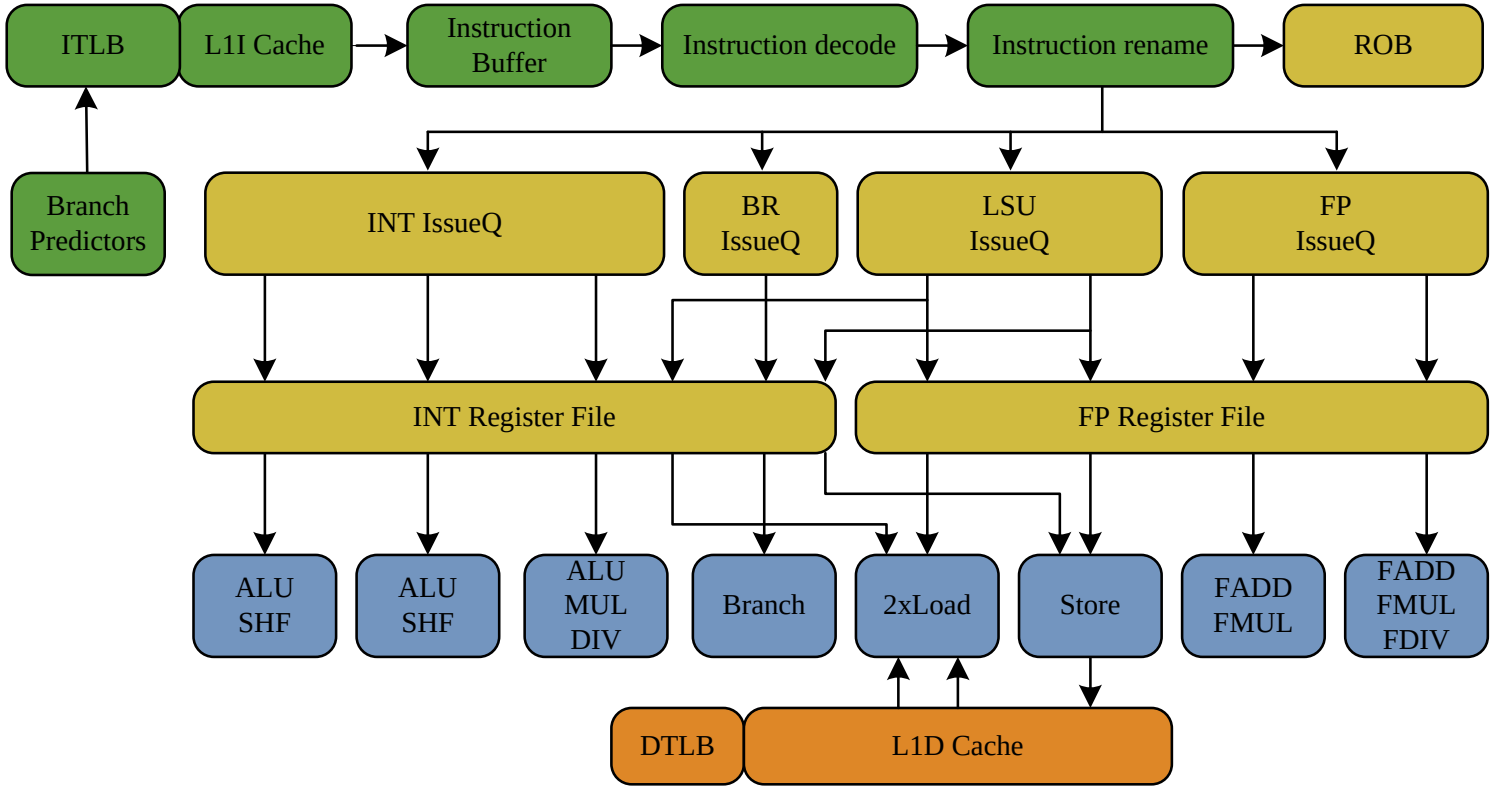
- RISC-V架构的通用处理器核
  - 兼容RV64G指令集规范
  - 三种特权级模式
    - User-mode
    - Supervisor-mode
    - Machine-mode

Level	Encoding	Name	Abbreviation
0	00	User/Application	U
1	01	Supervisor	S
2	10	*Reserved*	
3	11	Machine	M

  - RVWMO存储一致性模型
    - 不支持Zam和Ztso扩展
  - 数据访问支持两种字节序
    - Big-endian
    - Little-endian
  - 支持Sv39和Sv48
  - 物理地址为44位

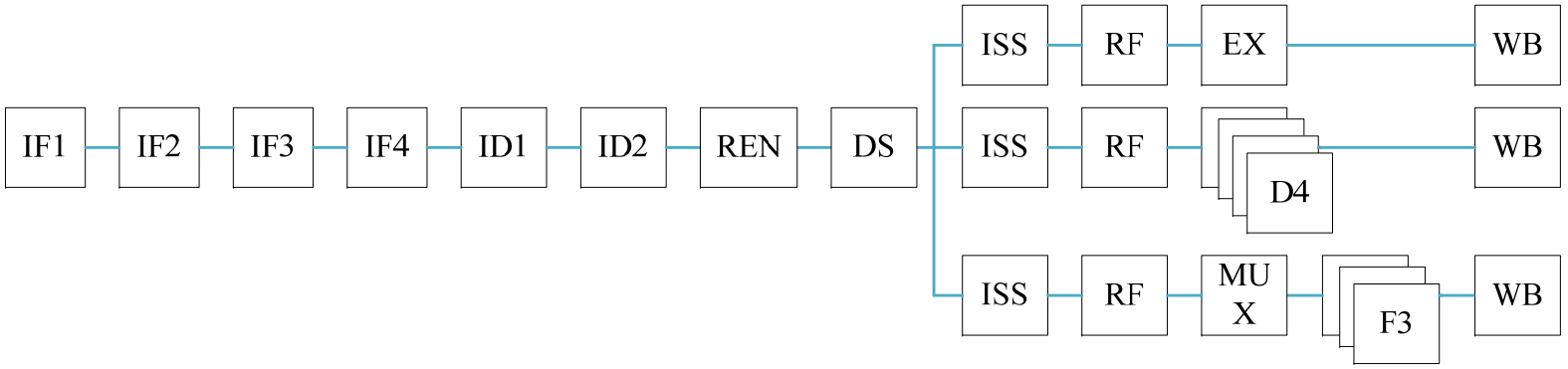
DMR的微体系结构特征

- 4发射，乱序超标量



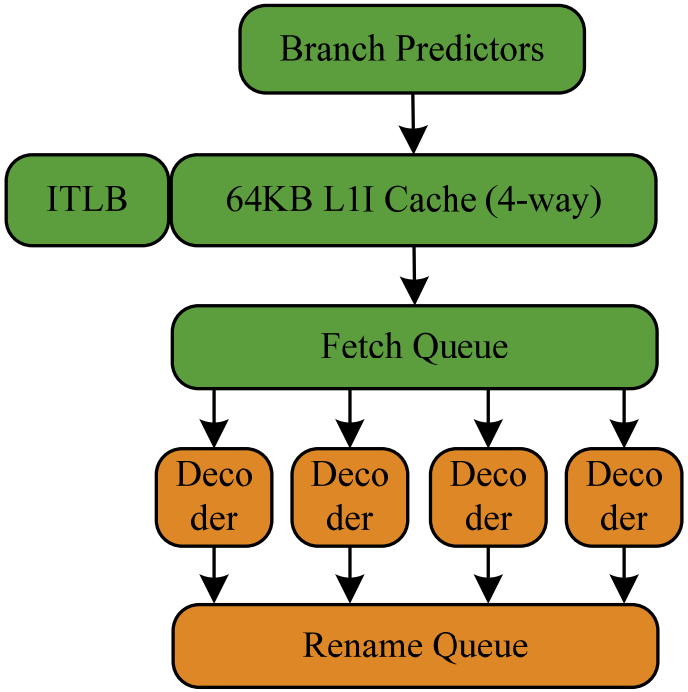
DMR的微体系结构特征

- 单周期整数流水线为12级



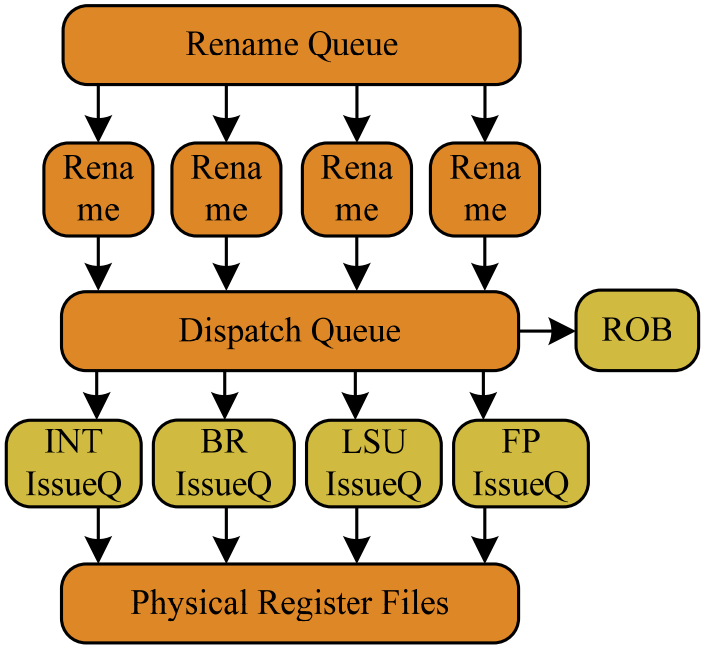
DMR Front-end

- 64KB, 4-way L1I Cache
- 每拍取出256位、8条指令
- 分支预测
  - 方向
    - TAGE预测算法
  - 地址
    - BTB：2K项
    - Return Address Stack：48项
    - Indirect Predictor：512项
- 译码宽度为4条指令
  - 有个别指令被拆分成多个内部操作



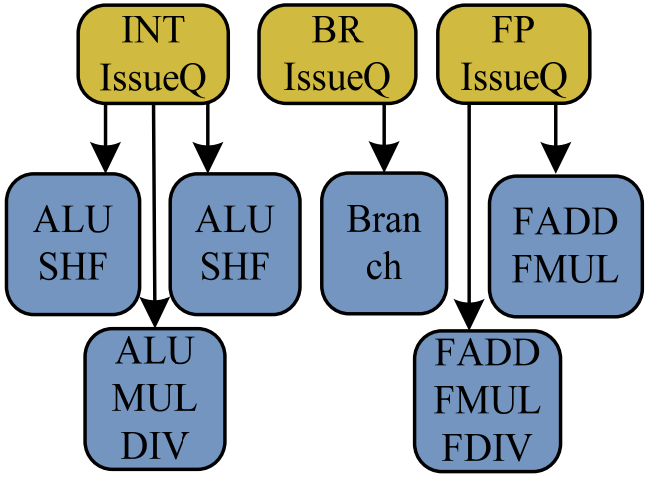
DMR Out-of-Order Scheduling

- 寄存器重命名宽度为4条指令
  - Speculative map table
  - Architectural map table
  - Checkpoints for in-flight branches
- physical register files
  - RTL进行了参数化设计，128~180
- Reorder Buffer
  - RTL进行了参数化设计，128~192
- 分布式指令调度队列
  - 整数调度队列每拍接收4条指令、发射3条指令
  - 分支调度队列每拍接收1条指令、发射1条指令
  - LSU调度队列每拍接收3条指令、发射2条Load+1条Store
  - 浮点调度队列每拍接收4条指令、发射2条指令



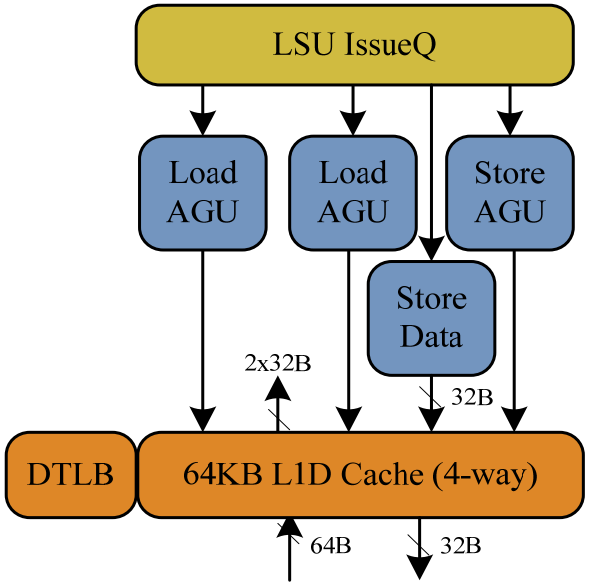
DMR Execution Units

- 整数执行单元
  - 2个单周期+1个单周期/多周期
  - 属于整数旁路网络
- 分支单元
  - 每拍执行一条分支指令
- 浮点执行单元
  - 加法执行延迟：3拍
  - 乘法执行延迟：3拍
  - 乘加执行延迟：6拍
  - 属于浮点旁路网络
- 整数和浮点之间的转换通过LSU进行数据中转



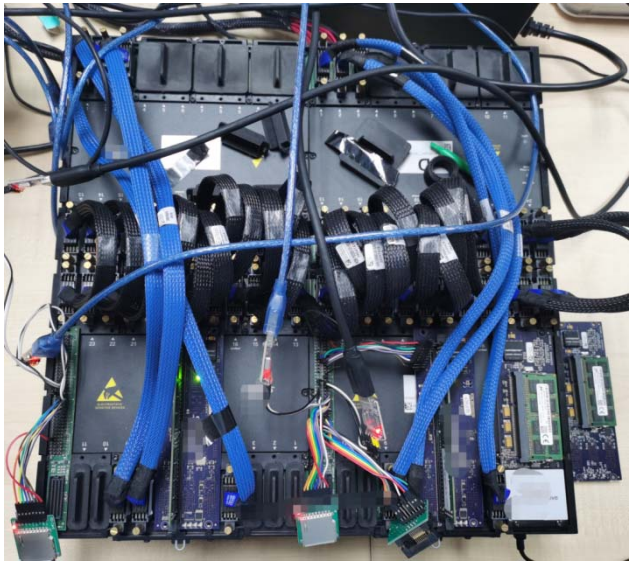
DMR Memory Hierarchy

- L1D Cache
  - 64KB, 4-way
  - Cache line size: 64B
  - 2x256-bit read ports
  - 1x256-bit write port
- 64项DTLB
  - Page size
    - 4KB，2MB，1GB
    - 512GB (for Sv48)
- NO Private L2 Cache
- Unaligned data access is supported



DMR的当前设计状态

- 功能验证趋于收敛
  - 关键模块的模块级验证
    - 形式化方法
    - 基于UVM的模拟方法
  - riscv-compliance 测试集通过
  - 核级软模拟环境验证
    - 随机测试激励
    - 基于功能点编写的定向测试激励
- FPGA原型系统实现正在进行中
  - SPEC2006的预期性能不低于15分
- 物理设计正在进行迭代优化
  - 预期主频不低于2GHz



感谢大家的聆听！

Q&A